

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10144672 A**

(43) Date of publication of application: **29.05.98**

(51) Int. Cl

H01L 21/312
C08G 77/48
C09D183/16
H01L 21/768

(21) Application number: **08296426**

(22) Date of filing: **08.11.96**

(71) Applicant: **FUJITSU LTD**

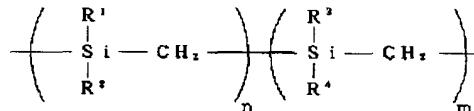
(72) Inventor: **FUKUYAMA SHUNICHI**
NAKADA YOSHIHIRO
KATAYAMA TOMOKO
YAMAGUCHI JO

(54) METHOD FOR FORMING INSULATING FILM OF SEMICONDUCTOR DEVICE, AND MATERIAL FOR INSULATING FILM

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method and material for forming a low-dielectric const. insulating film of a multi-layer wiring of a semiconductor integrated circuit.

SOLUTION: On a treated substrate a film of a polycarbosilane resin having a fluorocarbon side chain is formed and heated treated into an insulating film. This resin is given by the Formula where R¹ is 1-5C fluorocarbon group, R² is H or 1-3C alkyl group, R³ is 1-3C alkyl group, R⁴ is H or 1-3C alkyl group, n≥10, m≥0, n+m=10@1000.



COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-144672

(43)公開日 平成10年(1998)5月29日

(51)Int.Cl.⁸
H 01 L 21/312
C 08 G 77/48
C 09 D 183/16
H 01 L 21/768

識別記号

F I
H 01 L 21/312
C 08 G 77/48
C 09 D 183/16
H 01 L 21/90

C
S

審査請求 未請求 請求項の数9 OL (全 6 頁)

(21)出願番号 特願平8-296426

(22)出願日 平成8年(1996)11月8日

(71)出願人 000005223

富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 福山 俊一
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 中田 義弘
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 石田 敬 (外2名)

最終頁に続く

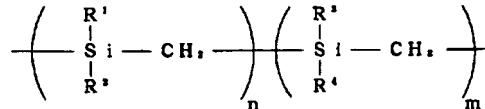
(54)【発明の名称】 半導体装置の絶縁膜形成方法及び絶縁膜形成材料

(57)【要約】

【課題】 半導体集積回路の多層配線の低誘電率絶縁膜形成方法及び材料を提供する。

【解決手段】 処理基板上にフルオロカーボン側鎖を有するポリカルボシラン樹脂の被膜を形成し、この被膜を熱処理して絶縁膜とする。ポリカルボシラン樹脂は次の一般式

【化1】



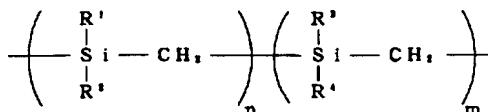
(この式のR¹は炭素原子数1~5のフルオロカーボン基であり、R²は水素又は炭素原子数1~3のアルキル基であり、R³は炭素原子数1~3のアルキル基であり、R⁴は水素又は炭素原子数1~3のアルキル基であり、n≥10、m≥0であって、且つn+m=10~1000である)を有する。

【特許請求の範囲】

【請求項1】 多層配線を有する半導体装置の絶縁膜形成方法であって、処理基板上にフルオロカーボン側鎖を有するポリカルボシラン樹脂の被膜を形成し、この被膜を熱処理して絶縁膜とすることを特徴とする半導体装置の絶縁膜形成方法。

【請求項2】 前記ポリカルボシラン樹脂が次の一般式

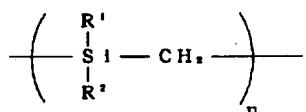
【化1】



(この式のR¹は炭素原子数1～5のフルオロカーボン基であり、R²は水素又は炭素原子数1～3のアルキル基であり、R³は炭素原子数1～3のアルキル基であり、R⁴は水素又は炭素原子数1～3のアルキル基であり、n≥10、m≥0であって、且つn+m=10～1000である)で表される、請求項1記載の方法。

【請求項3】 前記ポリカルボシラン樹脂が次の一般式

【化2】



(この式のR¹は炭素原子数1～5のフルオロカーボン基であり、R²は水素又は炭素原子数1～3のアルキル基であり、nは10～1000である)で表される、請求項1記載の方法。

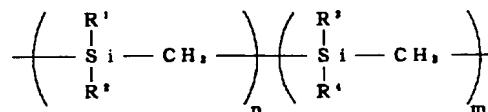
【請求項4】 R¹がトリフルオロメチル基である、請求項2又は3記載の方法。

【請求項5】 前記ポリカルボシラン樹脂がシリカ系微粒子を含有している、請求項1から4までのいずれか一つに記載の方法。

【請求項6】 フルオロカーボン側鎖を有するポリカルボシラン樹脂を含む低誘電率絶縁膜形成材料。

【請求項7】 前記ポリカルボシラン樹脂が次の一般式

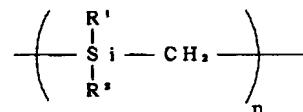
【化3】



(この式のR¹は炭素原子数1～5のフルオロカーボン基であり、R²は水素又は炭素原子数1～3のアルキル基であり、R³は炭素原子数1～3のアルキル基であり、R⁴は水素又は炭素原子数1～3のアルキル基であり、n≥10、m≥0であって、且つn+m=10～1000である)で表される、請求項6記載の材料。

【請求項8】 前記ポリカルボシラン樹脂が次の一般式

【化4】



(この式のR¹は炭素原子数1～5のフルオロカーボン基であり、R²は水素又は炭素原子数1～3のアルキル基であり、nは10～1000である)で表される、請求項6記載の材料。

【請求項9】 R¹がトリフルオロメチル基である、請求項7又は8記載の材料。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路の多層配線用絶縁膜形成方法及び材料に係わる。詳しくは、本発明はIC、LSI等の高集積化の進んだ半導体装置の多層配線を形成する際に有効な絶縁膜の形成方法とそのための材料に係わり、そして本発明によれば、配線間の絶縁膜容量を低くでき、高速デバイスを実現できる。

【0002】

【従来の技術】 半導体集積回路は、素子の微細化により集積度が向上するとともに、動作速度の向上が図られてきた。しかし、微細化に伴って配線間隔が狭くなってきており、そのため配線間の容量が増大の一途をたどっている。

【0003】 多層配線を形成する場合には、下層配線を30 施した後絶縁膜を介して上層配線を施し、順次この工程を繰り返して多層配線を形成する。従来は、この下層配線と上層配線の間隔が絶縁層の最も薄い部分であった。しかし、今後益々微細化が進むと、同一層内における配線と配線の横方向の間隔が絶縁層の最も薄い部分となり、微細化がそのまま絶縁膜の容量増大につながるようになる。

【0004】 従来から、多層配線の絶縁膜材料としては、二酸化珪素、窒化珪素等の無機膜をシラン系ガスを用いたCVD等の気相成長法により形成したSiO₂系もしくはSiN系無機材料や、あるいはポリイミド、シリコーン樹脂などの有機高分子材料や、又はこれらの積層体が用いられている。

【0005】

【発明が解決しようとする課題】 半導体装置の製造で用いられている無機絶縁材料のうちで最も低誘電率の材料はSiO₂系材料であり、その誘電率εは約4.0である。一方、有機高分子絶縁材料は、材料自体の誘電率は低いものの(例えばシリコーン樹脂の誘電率は3.0程度)、吸水しやすい性質があり、そのため実際の使用に際して誘電率が上昇してしまうという難点がある。従つ

て、従来用いられてきた絶縁材料の中で最も誘電率の低い材料は、 SiO_2 系材料であった。ところが、この材料を用いて配線間隔 $0.5\text{ }\mu\text{m}$ のデバイスで多層配線を行うと、素子の微細化を進めてデバイスの応答速度は遅くなってしまう。このことを、図1に示した配線遅延比のグラフを参照して説明することにする。

【0006】図1は、配線間隔を $0.5\text{ }\mu\text{m}$ とし、アルミニウム系合金配線（層間絶縁膜として誘電率 $\epsilon = 3.0$ のものを使用）と銅配線（層間絶縁膜として誘電率 $\epsilon = 3.0$ のものと $\epsilon = 4.0$ のものを使用）の配線遅延比のシミュレーション結果を配線長さに対してプロットしたグラフである。この配線遅延比の評価は、エルモア（ELMORE）モデルにより、図2に示したような等価回路について行ったものであり、配線は中央部から2本の枝分かれあるものとして考え、それぞれの末端に2LU相当のゲート負荷がつくものとした。

【0007】このシミュレーション結果から明らかなように、配線長の短い領域では、誘電率が3の絶縁膜を用いたアルミニウム系配線の方が誘電率4の絶縁膜を用いた銅配線より配線遅延比が高くなり、すなわち配線遅延が大きくなっている。実際の高速デバイスでは、このように配線遅延に対する配線材料の抵抗の影響よりも絶縁膜材料の誘電率の影響の方が大きくなるような比較的短い配線長が多用されている。従って、配線間隔の微細化*

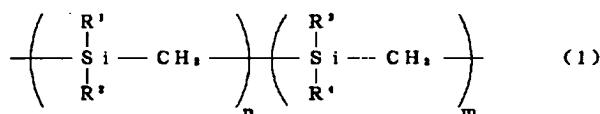
*に伴い、デバイスの高速化という点で有利なより低誘電率の絶縁材料が要求されている。

【0008】本発明の目的は、このような問題を解消することにあり、すなわち従来の SiO_2 系材料に比べて低誘電率であり、しかも半導体デバイスの製造で用いられる 400°C 以上の熱処理で熱分解を起こさず、熱処理によりクラックを発生して破損することのない絶縁膜の形成方法と、このような低誘電率絶縁膜の形成材料を提供することにある。

【課題を解決するための手段】この課題を解決するため、本発明は、多層配線を有する半導体装置の絶縁膜形成方法であって、処理基板上にフルオロカーボン側鎖を有するポリカルボシラン樹脂の被膜を形成し、この被膜を熱処理して絶縁膜とすることを特徴とする半導体装置の絶縁膜形成方法を提供する。

【0010】また、本発明は、この方法で使用するフルオロカーボン側鎖を有するポリカルボシラン樹脂を含む低誘電率絶縁膜の形成材料を提供する。

【0011】本発明の一つの態様において、絶縁膜形成材料として用いられるポリカルボシラン樹脂は次の一般式で表される。



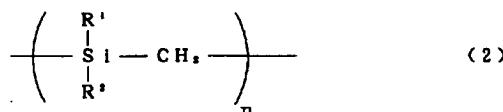
【0013】上記の式において、 R^1 は炭素原子数1～5のフルオロカーボン基であり、 R^2 は水素又は炭素原子数1～3のアルキル基であり、 R^3 は炭素原子数1～3のアルキル基であり、 R^4 は水素又は炭素原子数1～3のアルキル基であり、 $n \geq 10$ 、 $m \geq 0$ であって、且つ $n+m = 10 \sim 1000$ である。

【0014】

【発明の実施の形態】本発明では、半導体装置の製造で用いられるどのような基板を処理基板とすることもできる。本発明によれば誘電率が特に低い絶縁膜が得られるので、本発明はICやLSI等の高集積度の半導体装置の製造に用いられる基板に対し適用するのが特に有利である。

【0015】本発明で用いる絶縁膜形成材料は、上記の一般式(1)で表されるポリカルボシラン樹脂である。このポリカルボシランは、フルオロカーボン基 R^1 を側鎖に持つ単位と、フルオロカーボン基を持たない単位とから構成されるが、後者のフルオロカーボン基を持たない単位は含まなくともよく（すなわち式(1)の $m=0$ の場合）、この場合のポリカルボシランは次の式

【0016】



【0017】で表される。本発明においては、 $n/(n+m)$ 比が0.2～1であるのが好ましい。この比が0.2未満の場合には、形成した絶縁膜中に含まれるフッ素の量が少なくて、誘電率低下の効果が期待できなくなる。また、ポリカルボシラン分子中のくり返し単位の総数（すなわち式(1)の $n+m$ の合計）は10～1000であるのが好適である。 $n+m$ が10未満では処理基板上に樹脂被膜を形成するのに不都合であり、 $n+m$ が1000を超えると樹脂粘度が高くなって取扱いが面倒になる。

【0018】一般式(1)においてフルオロカーボン基である R^1 は、詳しくは炭素原子数1～5のペルフルオロアルキル基である。 R^1 の炭素原子数の上限の5は、このような基を持つ出発物質の入手の可能性を基にしており、すなわちこれより炭素原子数の多い基を持つ出発

物質は入手が困難である。好ましいR¹はトリフルオロメチル基—CF₃である。

【0019】一般式(1)のR²は、水素又は炭素原子数1～3のアルキル基である。場合によっては、R²は水素とアルキル基の両方を同時に表すことができ、すなわちこの場合のフルオロカーボン側鎖を持つ単位としてはケイ素原子S iに水素が結合した単位とアルキル基が結合した単位が混在することができる。ケイ素原子に結合した水素を有するポリカルボシランは、下地の膜とのカップリング効果をもたらし、従って下地膜との密着性の向上に有利である。R²のアルキル基の炭素原子数の上限の3は、R¹のフルオロカーボン基と同様に出発物質の入手の可能性を基にしているとともに、基板上に形成したポリカルボシラン被膜が酸化された場合の脱ガスによるクラックはR²のアルキル基の炭素数が多いほど発生しやすくなることによるものである。従って、R²として好ましいアルキル基はメチル基である。

【0020】一般式(1)のR³は炭素原子数1～3のアルキル基であり、炭素原子数の上限の3はR²の場合と同じ理由に基づいている。R³として好ましいアルキル基はメチル基である。

【0021】一般式(1)のR⁴は、水素又は炭素原子数1～3のアルキル基であり、炭素原子数の上限の3はR²の場合と同じ理由に基づいている。R⁴が水素の場合、R²が水素である場合と同様に下地膜との密着性向上の効果が得られる。R⁴として好ましいアルキル基はメチル基である。

【0022】一般式(1)で表されるポリカルボシラン樹脂は、それぞれのくり返し単位をもたらす出発物質のシランをポリカルボシラン化することで、容易に調製することができる。ポリカルボシラン化は、例えば加圧下での熱転移反応、あるいは常圧下での触媒反応により行うことができ、これらは周知の化学反応であるためここで詳しく説明するには及ばない。下記の実施例には熱転移反応を利用してのポリカルボシランの合成が記載されている。

【0023】ポリカルボシラン樹脂を処理基板上に成膜するためには、任意の適当な方法を採用することができる。とは言え、半導体装置の製造工程で成膜のために広く利用されているスピンドル法を用いるのが有利である。スピンドル法を使用する場合には、ポリカルボシラン樹脂を適当な溶剤に溶解した溶液を使用するのが好ましい。

【0024】基板上にポリカルボシラン樹脂溶液を塗布したなら、適当な温度に加温して溶剤を乾燥させることによりポリカルボシラン樹脂被膜を形成することができる。溶剤乾燥に用いられる温度は、使用する溶剤の種類や所望の乾燥処理時間等に応じて適宜決めればよいが、一般には80～250℃程度の温度が採用される。

【0025】形成した樹脂被膜を、次いで熱処理して本

発明に係る絶縁膜に変える。この熱処理は、窒素ガスのような不活性雰囲気で行っても、あるいは酸素雰囲気(例えば空気)中で行ってもよい。不活性ガス雰囲気での熱処理を採用した方が、酸素雰囲気で熱処理した場合よりも低い誘電率の絶縁膜が得られるため有利である。樹脂被膜は、たとえ不活性雰囲気中で熱処理した場合にも、その雰囲気中あるいは樹脂被膜中に微量に存在する残留水分等のためR¹のフルオロカーボン基以外の置換基R²、R³、R⁴のアルキル基が酸化されて架橋し、フッ素を含んだS i—O系の絶縁膜に変えられ、この絶縁膜は約2.5以下の極めて低い誘電率を示す。

【0026】熱処理は400～450℃の温度で行うのが好ましい。400℃未満では、樹脂のアルキル置換基の酸化が不十分となり、安定な絶縁膜を形成することができない。450℃を超える温度で熱処理しても、樹脂のアルキル基の酸化の効果に大きな違いは見られず、エネルギーの浪費になるばかりでなく、処理基板に含まれる他の半導体装置構成要素の劣化に通じる恐れがある。より好ましい熱処理温度は400～420℃である。

【0027】本発明においては、処理基板上に被膜を形成するポリカルボシラン樹脂がシリカ系微粒子を含有していてよい。このような微粒子を含有するポリカルボシラン樹脂から形成された絶縁膜は、粒子間の間隙に存在する空気のため低誘電率を獲得することができる。シリカ系微粒子のとしては、具体的にはアルコキシランを原料として合成された10～150nmの球形微粒子等を使用することができる。微粒子は、ポリカルボシラン樹脂の重量を基にして30～90重量%の含有量で使用することができる。30重量%より少なければ添加による誘電率低減効果がほとんど期待できず、90重量%より多くなるとポリカルボシラン樹脂量が少くなり、かえって誘電率の上昇を招きかねない。シリカ系微粒子の大きさは、20～100nmが好ましい。20nm未満になると粒子の充填密度が高くなつて誘電率が上昇しかねず、100nmより大きい粒子を使用すると形成した絶縁膜の凹凸が顕著になるため好ましくない。

【0028】本発明により形成した絶縁膜は誘電率が低く、そのため半導体装置の層間絶縁膜として適用することにより、従来の絶縁材料を用いた場合に比べて高速に応答する高速デバイスを実現できる。

【0029】更に、本発明により形成した絶縁膜を、二酸化珪素、窒化珪素等の通常の無機材料の絶縁膜と併用して、半導体装置の多層配線の層間絶縁膜を構成することができる。

【0030】

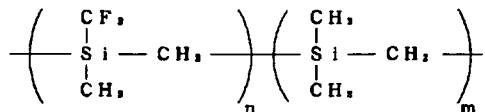
【実施例】次に、実施例により本発明を更に説明する。もちろんながら、本発明はこれらの実施例に限定されるものではない。

【0031】【実施例1】この例では、フルオロカーボン側鎖を持つ単位とフルオロカーボン側鎖を持たない単

位とから構成されたポリカルボシランの調製を説明する。出発モノマーとして、トリフルオロメチルトリメチルシランとテトラメチルシランを1対1のモル比で混合し、これを密閉容器中で300℃に加熱して圧力を上昇させた後、容器内の圧力が約2kg/cm²に低下するまでカルボシラン化の転移反応を行った。反応終了後、容器内の粉末を回収し、下式

【0032】

【化7】

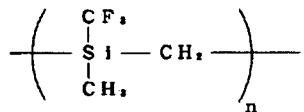


【0033】で表されるフルオロメチルカルボシラン樹脂を得た。得られた樹脂の重量平均分子量は約3000であり、この樹脂はキシレン等の芳香族溶剤に可溶であった。

【0034】【実施例2】出発モノマーとしてトリフルオロメチルトリメチルシランのみを用いたことを除いて、実施例1の操作を繰り返し、下式

【0035】

【化8】



【0036】を持つフルオロメチルカルボシラン樹脂を得た。この樹脂の重量平均分子量は約3000であり、この樹脂はキシレン等の芳香族溶剤に可溶であった。

【0037】【実施例3】実施例1で得られた樹脂粉末を凍結乾燥した後、キシレンに溶解して溶液とすることにより塗布溶液を調製した。

【0038】次に、n⁺拡散処理を施したシリコン基板上にこの塗布溶液をスピンドルコート法により塗布し、その後200℃で3分間溶剤乾燥を行い、そして不活性ガス雰囲気中で400℃、30分間の熱処理を施して、絶縁膜を形成した。この絶縁膜にクラックは認められなかった。続いて上部電極として用いる金層を蒸着により形成した後、常法に従いレジストをマスクに塩素系ガスでエッチングを行って、MOS構造を有する試料を作製した。この試料を用いたプローバによる容量測定から算出した絶縁膜の誘電率は約2.4であった。

【0039】溶剤乾燥後の熱処理を空気中において400℃で30分間行った以外は同様に作製した試料では、形成した絶縁膜の誘電率は約2.5であった。

【0040】【実施例4】実施例1で調製した樹脂粉末を凍結乾燥してからキシレンに溶解させて作った樹脂溶液を、半導体素子を形成しそして第一層アルミニウム配

線を施したシリコン基板（アルミニウム配線の厚さは0.6μm、最小配線間隔は0.5μm）上にスピンドルコート法により3000rpm、30秒の条件（シリコン基板上に0.8μm厚で塗布可能な条件）で塗布した。次いで、200℃で3分間溶剤乾燥を行い、そして不活性ガス雰囲気中で400℃、30分間の熱処理を施して絶縁膜を形成した。続いて、この絶縁膜上に気相成長法により0.8μm厚のSiO₂膜を形成後、常法に基づきパターンを形成し、フッ素系ガスとアルゴンガスとの混合系でのエッチングを行ってスルーホールを形成してから、二層目のアルミニウム配線を施した。同様にして第三層配線まで形成した後、保護層として1.5μm厚のSiN膜を形成した。最後に、電極取り出し用の窓あけを行って半導体装置を得た。この半導体装置を、絶縁層を全て通常のSiO₂系絶縁膜（SiH₄とO₂を原料ガスとして平行平板型プラズマCVD装置を用いて形成したもの。ε=4.1）を用いて作製した同様の半導体装置と比べたところ、約8%の配線延長の低減が見られた。

【0041】【実施例5】実施例2で得られた樹脂粉末を凍結乾燥した後、キシレンに溶解して溶液とすることにより塗布溶液を調製した。

【0042】n⁺拡散処理を施したシリコン基板上にこの塗布溶液をスピンドルコート法により塗布し、その後200℃で3分間溶剤乾燥を行い、そして不活性ガス雰囲気中で400℃、30分間の熱処理を施して、絶縁膜を形成した。この絶縁膜にクラックは認められなかった。次に、上部電極として用いる金層を蒸着により形成した後、常法に従いレジストをマスクに塩素系ガスでエッチングを行って、MOS構造を有する試料を作製した。この試料を用いたプローバによる容量測定から算出した絶縁膜の誘電率は約2.1であった。

【0043】溶剤乾燥後の熱処理を空気中において400℃で30分間行った以外は同様に作製した試料では、形成した絶縁膜の誘電率は約2.2であった。

【0044】【実施例6】実施例2で調製した樹脂粉末を凍結乾燥してからキシレンに溶解させて作った樹脂溶液を、半導体素子を形成して第一層アルミニウム配線を施したシリコン基板（アルミニウム配線の厚さは0.6μm、最小配線間隔は0.5μm）上にスピンドルコート法により3000rpm、30秒の条件（シリコン基板上に0.8μm厚で塗布可能な条件）で塗布した。次いで、200℃で3分間溶剤乾燥を行い、そして不活性ガス雰囲気中で400℃、30分間の熱処理を施して絶縁膜を形成した。続いて、この絶縁膜上に気相成長法により0.8μm厚のSiO₂膜を形成後、常法に基づきパターン形成し、フッ素系ガスとアルゴンガスとの混合系でのエッチングを行ってスルーホールを形成後、二層目のアルミニウム配線を施した。同様にして第三層配線まで形成した後、保護層として1.5μm厚のSiN膜を

形成した。最後に、電極取り出し用の窓あけを行って半導体装置を得た。この半導体装置を、絶縁層を全て実施例4で使用した通常の SiO_2 系絶縁膜を用いて作製した同様の半導体装置と比べたところ、約12%の配線遅延の低減が見られた。

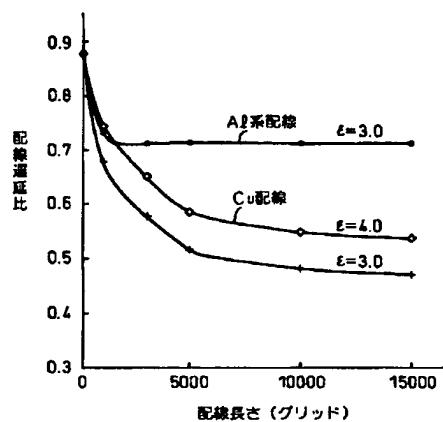
【045】

【発明の効果】以上のお説明から明らかなように、本発明により得られる低誘電率絶縁材料を半導体装置の層間絶縁膜に適用することにより、低容量の絶縁膜が得られる。これにより、配線遅延が少ない高速デバイスが実現可能となる。

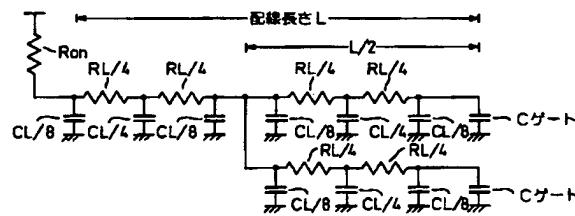
【図面の簡単な説明】
 【図1】各種配線の配線遅延比のシミュレーション結果を示すグラフである。

【図2】図1のシミュレーション結果を得るのに用いた評価回路を示す図である。

【図1】



【図2】



フロントページの続き

(72)発明者 片山 優子

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 山口 城

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内